

DERWENT-ACC-NO: 1998-340235

DERWENT-WEEK: 199830

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Circuit interface connection method
for TDM based digital switching system - involves
shortening bit periods of predefined signals and
inserting bit data of new signals in shortened time slots

PATENT-ASSIGNEE: OKI ELECTRIC IND CO LTD[OKID]

PRIORITY-DATA: 1996JP-0279783 (October 23, 1996)

PATENT-FAMILY:

PUB-NO	PUB-DATE	
LANGUAGE	PAGES	MAIN-IPC
JP 10126818 A	005	May 15, 1998
		H04Q 003/42
		N/A

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP 10126818A	N/A	
1996JP-0279783	October 23, 1996	

INT-CL (IPC): H04L012/02, H04Q003/42, H04Q003/52,
H04Q011/04

ABSTRACTED-PUB-NO: JP 10126818A

BASIC-ABSTRACT:

The method involves adding a new signal to a circuit interface via the same path of a time division switch. The time division switch shortens the bit period of predefined signals. The bit data of the new signal to be transmitted or received is inserted in the time slot obtained by shortening predefined

signal time periods.

ADVANTAGE - Facilitates transmission and reception of new signal without time division switch. Eliminates need for additional connection lines.

CHOSEN-DRAWING: Dwg.1/3

TITLE-TERMS: CIRCUIT INTERFACE CONNECT METHOD TDM BASED DIGITAL SWITCH SYSTEM

 SHORTENING BIT PERIOD PREDEFINED SIGNAL INSERT
BIT DATA NEW SIGNAL
 SHORTENING TIME SLOT

DERWENT-CLASS: W01

EPI-CODES: W01-A03C; W01-B07;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1998-266439

MACHINE-ASSISTED TRANSLATION (MAT):

(19)【発行国】
日本国特許庁 (J P)

(19)[ISSUING COUNTRY]
Japan Patent Office (JP)

(12)【公報種別】
公開特許公報 (A)

(12)[GAZETTE CATEGORY]
Laid-open Kokai Patent (A)

(11)【公開番号】
特開平 10-126818

(11)[KOKAI NUMBER]
Unexamined Japanese Patent Heisei
10-126818

(43)【公開日】
平成 10 年 (1 9 9 8) 5 月 1
5 日

(43)[DATE OF FIRST PUBLICATION]
May 15, Heisei 10 (1998. 5.15)

(54)【発明の名称】
回線系回路インターフェース接続
方法

(54)[TITLE OF THE INVENTION]
The circuit system circuit interface connection
method

(51)【国際特許分類第 6 版】
H04Q 3/42 104
H04L 12/02
H04Q 3/52 101
11/04

(51)[IPC INT. CL. 6]
H04Q 3/42 104
H04L 12/02
H04Q 3/52 101
11/04

[F I]
H04Q 3/42 104
3/52 101 A
H04L 11/02 D
H04Q 11/04 Z

[FI]
H04Q 3/42 104
3/52 101 A
H04L 11/02 D
H04Q 11/04 Z

【審査請求】 未請求

[REQUEST FOR EXAMINATION] No

【請求項の数】 2

[NUMBER OF CLAIMS] 2

【出願形態】 O.L

[FORM of APPLICATION] Electronic

【全頁数】 5

[NUMBER OF PAGES] 5

(21) 【出願番号】

特願平 8-279783

(21)[APPLICATION NUMBER]

Japanese Patent Application Heisei 8-279783

(22) 【出願日】

平成 8 年 (1996) 10 月 2
3 日

(22)[DATE OF FILING]

October 23, Heisei 8 (1996. 10.23)

(71) 【出願人】

(71)[PATENTEE/ASSIGNEE]

【識別番号】

000000295

[ID CODE]

000000295

【氏名又は名称】

沖電気工業株式会社

[NAME OR APPELLATION]

Oki Electric Industry Co., Ltd.

【住所又は居所】

[ADDRESS OR DOMICILE]

(72) 【発明者】

(72)[INVENTOR]

【氏名】

小西 友和

[NAME OR APPELLATION]

Konishi Tomokazu

【住所又は居所】

[ADDRESS OR DOMICILE]

(72) 【発明者】

(72)[INVENTOR]

【氏名】

薄葉 伸司

[NAME OR APPELLATION]

Usuha Shinji

【住所又は居所】

[ADDRESS OR DOMICILE]

(74) 【代理人】

(74)[AGENT]

【弁理士】

[PATENT ATTORNEY]

【氏名又は名称】

[NAME OR APPELLATION]

佐々木 宗治 (外3名)

Sasaki Muneharu (and 3 others)

(57) 【要約】

(57)[ABSTRACT OF THE DISCLOSURE]

【課題】

TSWとFHW, BHWを介して接続される固定的に割り付けられた回線系回路インターフェースに新規信号を追加する場合に、TSWを経由せず、また新規の接続信号線を追加しないでも、回線系回路インターフェース間の新規信号の送受信が可能な方法。

[SUBJECT OF THE INVENTION]

When new signal is added to circuit system circuit interface which is connected through TSW, FHW, and BHW and which was assigned fixed, method not adding new connection signal wire can also perform send and receive of new signal during circuit system circuit interface not passing through TSW.

【解決手段】

TSWが従来の信号を受信できる範囲内で従来の信号のビット周期を短縮し(図1の(a)のCH1-bit1'では従来の6/8周期に短縮し)、新規信号の送受信用ビットデータを従来周期より短周期として(図1の(a)のS_{1.1}, R_{1.1}は従来の1/8周期として)、これを従来信号の短縮により生じた余裕

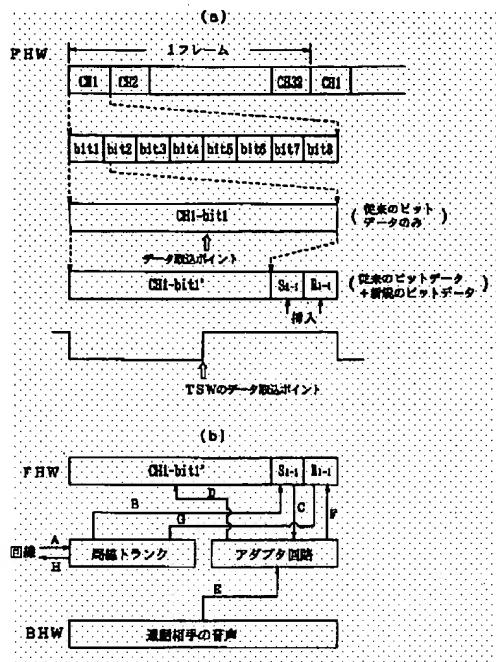
[PROBLEM TO BE SOLVED]

TSW shortens bit period of conventional signal within range which can receive conventional signal (shortened to 6/8 conventional period in CH1-bit1' of (a) of FIG. 1), bit data for send and receive of new signal

As a shorter period than conventional period, (S_{1.1}, R_{1.1} of (a) of FIG. 1

As 1/8 of conventional period), method to insert this in surplus time ((a) of FIG. 1 2/8 period) formerly produced by shortening of signal.

時間 (図1の (a) では 2 / 8 周期) に插入する方法。



本発明の実施形態1に係るFHW, BHWの信号構成及び接続を示す図。

(a)

One frame

(Only conventional bit data)



Data taking-in point

(Conventional bit-data + new bit data)



Insertion

Data-taking lump point of TSW

(b)

Circuit Central office line trunk Adapter circuit

Sound of party on the other end of the line

Figure showing signal composition and connection of this invention of FHW and BHW based on Embodiment 1

【特許請求の範囲】

[CLAIMS]

[請求項 1]

時分割スイッチと同一ハイウェイを介して接続される固定的に割り付けられた回線系回路インターフェースに新規信号を追加する場合に、前記時分割スイッチが従来の信号を受信できる範囲内において従来の信号のビット周期を通常周期より短縮し、この短縮により通常周期内に生じた余裕時間に新規信号の送受信用ビットデータを挿入することにより、前記時分割スイッチを介さず前記同一ハイウェイを用いて回線系回路インターフェース間の新規信号の送受信を可能とすることを特徴とする回線系回路インターフェース接続方法。

[CLAIM 1]

A circuit system circuit interface connection method, in which when adding new signal to circuit system circuit interface which is connected through the same highway as time division switch and which was assigned fixed, said time division switch ordinarily shortens bit period of conventional signal from period within range which can receive conventional signal, it can be made to perform send and receive of new signal during circuit system circuit interface by inserting bit data for send and receive of new signal in surplus time ordinarily produced in period by this shortening using said same highway without said time division switch.

[請求項 2]

時分割スイッチと上り信号路及び下り信号路よりなる同一ハイウェイを介して接続される固定的に割り付けられた回線系回路インターフェースに新規信号を追加する場合に、あらかじめ前記上り信号路及び下り信号路に乗せる従来の信号の送受信周期を通常周期の半分に短縮しておき、この短縮により通常周期内に残った半分の周期に前記時分割スイッチまたは回線系回路インターフェースが新規信号の送受信用データを挿入することにより、前記時分割スイッチと回線

[CLAIM 2]

A circuit system circuit interface connection method, in which when new signal is added to circuit system circuit interface which is connected through the same highway which is made up of time division switch, incoming-signal path, and descending-signal path and which was assigned fixed, transmission-and-reception period of conventional signal beforehand put on said incoming-signal path and descending-signal path is ordinarily shortened in half of period, said time division switch or circuit system circuit interface inserts data for send and receive of new signal in period of half which ordinarily remained in period by this shortening, it can be

系回路インターフェースとの間または各回線系回路インターフェース間で新規信号の送受信を可能とすることを特徴とする回線系回路インターフェース接続方法。

made to perform send and receive of new signal between said time division switch and circuit system circuit interface or between each circuit system circuit interface.

【発明の詳細な説明】

[DETAILED DESCRIPTION OF THE INVENTION]

[0001]

[0001]

【発明の属する技術分野】

本発明は、例えばデジタル交換機等における回線系回路インターフェースに新規に信号を追加する際の接続方法に関するものである。

[TECHNICAL FIELD OF THE INVENTION]

This invention relates to the connection method at the time of adding signal to circuit system circuit interface for example, in digital switching machine etc. anew.

[0002]

[0002]

【従来の技術】

通常、デジタル交換機は、ライントランク装置[加入者回路(一般的な電話機を収容するインターフェース回路で、以下 Subscriber Line Circuit の略語の S L I C という) やトランク回路等を収容する装置]に各種回線系回路を収容するポートを有し、そのポート単位に複数の時分割多重化されたチャネルを固定的に割り当て、その任意のチャネル間をスイッチングすることで、回線交換を実現している。

[PRIOR ART]

Usually, digital switching machine, it had port which accommodates various circuit system circuits in line trunk apparatus [Apparatus which accommodates subscriber circuit (henceforth [interface circuitry which accommodates common telephone apparatus] SLIC of abbreviation of Subscriber Line Circuit), trunk circuit, etc.], channel by which plurality was time-division-multiplexed by the port unit was assigned fixed, and line switching is implemented by switching between the channel as desired.

[0 0 0 3]

従来、例えば図3に示すように上り信号路FHW、下り信号路BHWよりなる同一ハイウェイに時分割多重化された最大32ライン（32チャネル）を8, 16または32チャネルまで制御できるポートを4つ（仮に、ポート1～4と呼ぶ：4ポート併せて最大32チャネルを制御する）割り当てられるライントランク装置において、いまポート1の局線トランクにLine1～8があった場合、そのLine1～8それぞれの音声信号に加工（例えば、内線と公衆回線との通話における音声レベル補正・エコー消去等）を行うアダプタ回路をポート2に実装することを考える。そしてポート1のLine1はポート2のLine1に、ポート1のLine2はポート2のLine2に、…ポート1のLine8はポート2のLine8と、それぞれの対応関係を固定して各ライン間を接続する方法によって、ポート1に実装された局線トランクとポート2に実装されたアダプタ回路とを接続しよとする場合、上記2つのポート間の各ラインの接続は時分割スイッチ（以下Time Switchの略語のTSWという）を経由した接続を行うか、それ専用の別線を新たにもうけ、接続を行う必要があった。

[0003]

Formerly, for example, as shown in FIG. 3, in line trunk apparatus which can assign four ports (temporarily called ports 1-4: 4 ports in all, a maximum of 32 channels are controlled) which can control a maximum of 32 lines (32 channels) time-division-multiplexed by the same highway which is made up of incoming-signal path FHW and descending-signal path BHW to 8, 16, or 32 channels, when Line 1-8 is in central office line trunk of port 1 now, it considers mounting adapter circuit which carries out processes (for example, voice level-adjusting * echo elimination in telephone call with extension and public network etc.) to each audio signal of the Line 1-8 in port 2.
 And Line1 of port 1 is to Line1 of port 2, line2 of port 1 is to Line2 of port 2, ... Line8 of port 1 is with Line8 of port 2, by the Method to fix each correspondence and connect between each line, when it connects central office line trunk mounted in port 1, and adapter circuit mounted in port 2, connection of each line between the two above-mentioned ports made connection which went via time division switch (it is called TSW of abbreviation of Following Time Switch), or newly needed to form other line of its exclusive use, and needed to make connection.

[0004]

【発明が解決しようとする課題】

しかしながら、上述した従来の回線系回路インターフェース接続方法では次のような課題があつた。即ち、上述した従来の方法のうち、ポート1の局線トランクとポート2のアダプタ回路をTSW経由で接続する場合、まず、交換ソフト処理によるTSW接続部の追加が必要になり、単純にハード機能のみでは実現できないことと、さらに、わざわざ接続をTSW経由にするため、ポート1の局線トランクが制御しているチャネル数と同じだけのチャネル数をアダプタ回路との接続に要することになる。

[0004]

[PROBLEM TO BE SOLVED BY THE INVENTION]

However, the following problems occurred by the conventional circuit system circuit interface connection method mentioned above.

That is, when connecting adapter circuit of port 2 with central office line trunk of port 1 via TSW among conventional methods mentioned above, addition of TSW connection part by exchange soft processing is needed first, and being simply unrealizable only by hard(ware) function, furthermore, in order to make connection to TSW course specially, it is required for connection with adapter circuit of the number of channels the same as the number of channels which central office line trunk of port 1 controls.

[0005]

これにより、無駄なチャネル損が発生し、折角、ポート1の局線トランクが32チャネル制御可能でも、そのハイウェイの最大チャネル数が32チャネルのため、ポート2のアダプタ回路との接続及び通話相手も考えると、局線トランクは8チャネル程度までしか制御できなくなる。仮に、局線トランクが8チャネルしか制御できないものであっても、ポート2のアダプタ

[0005]

Useless channel loss occurs by this, and when connection and party on the other end of the line with adapter circuit of port 2 also consider with much trouble since the number of the maximum channels of the highway is 32 channels even when central office line trunk of port 1 is controllable 32 channels, it becomes impossible to control central office line trunk only to about eight channels.

Since adapter circuit of port 2 will use 16 channels by connection and party on the other end of the line with port 1 even if central office

回路がポート1との接続及び通話相手とで16チャネル使用してしまったため、本来、ポート3やポート4に実装できる他のトランク／加入者回路等が実装数の減少または、実装不可となってしまう。

[0006]

また、新たに別線をもうけて、接続する場合、既設のライントランク装置に手を加える必要がある。つまり、ポート間を接続しているバックボードへの布線追加（ただし、バックボードコネクタの空ピンがある場合のみ可能）等が必要であり、また、局線トランクとアダプタ回路に接続専用の別コネクタを用意し、ケーブル等にて接続する必要があった。

[0007]

【課題を解決するための手段】

本発明に係る回線系回路インターフェース接続方法は、時分割スイッチと同一ハイウェイを介して接続される固定的に割り付けられた回線系回路インターフェースに新規信号を追加する場合に、前記時分割スイッチが従来の信号を受信できる範囲内において従来の信号のビット周期を通常周期より短縮し、この短縮により通常周期内に生じた余裕

line trunk can control only eight channels, originally it will become impossible reduction of the number of mounting or to mount other trunk / subscriber circuit which can be mounted in port 3 or port 4.

[0006]

Moreover, other line is newly formed, when connecting, it is necessary to add hand to established line trunk apparatus.
 That is, wiring addition on back board which connects between ports etc. is required.
 (however, possible only when there is empty pin of back board connector)
 Moreover, other connector only for connection is prepared for central office line trunk and adapter circuit, it needed to connect by cable etc.

[0007]

【MEANS TO SOLVE THE PROBLEM】

The circuit system circuit interface connection method based on this invention ordinarily shortens bit period of conventional signal from period within range in which said time division switch can receive conventional signal, when adding new signal to circuit system circuit interface which is connected through the same highway as time division switch and which was assigned fixed, it can be made to perform send and receive of new signal during circuit system circuit interface by inserting bit data for send

時間に新規信号の送受信用ビットデータを挿入することにより、前記時分割スイッチを介さず前記同一ハイウェイを用いて回線系回路インタフェース間の新規信号の送受信を可能とするものである。その結果、時分割スイッチを経由する場合に要する交換ソフト処理を追加する必要がなく、また新たな接続信号線を追加することもなく、既存の信号線（即ち回線系回路が自己的のコントロールにより時分割スイッチに信号を乗せられる信号線）を用いて、回線系回路間の新規信号の送受信が可能となる。

【0008】

and receive of new signal in surplus time ordinarily produced in period by this shortening using said same highway without said time division switch.

As a result, send and receive of new signal between circuit system circuits is attained using existing signal wire (Namely, signal wire as for which circuit system circuit can put signal on time division switch by control of self), without not adding exchange soft processing required when it goes via time division switch, and adding new connection signal wire.

[0008]

【発明の実施の形態】

図3は本発明の適用可能なTSWと回線系回路インタフェースとの同一ハイウェイを介した接続を示す図である。図3においては、時分割スイッチ(TSW)と、ポート1～ポート4にそれぞれ固定的に割り付けられたトランク・SLIC等の回路とが、同一ハイウェイ（ここでトランク・SLIC等の回路からTSWへのデータの上り信号路をFHWといい、TSWからトランク・SLIC等の回路へのデータの下り信号路をBHWと呼ぶ）にて接続され音声等の交換

[EMBODIMENT OF THE INVENTION]

FIG. 3 is figure showing connection through the same highway of TSW and circuit system circuit interface which can apply this invention.

In FIG. 3, time division switch (TSW) and circuits, such as trunk *SLIC each assigned to port 1-port 4 fixed, comprise a part of digital switching machine which is connected on the same highway (incoming-signal path of data from circuits, such as trunk *SLIC, to TSW is called FHW here, and descending-signal path of data to circuits, such as TSW to trunk *SLIC, is called BHW), and performs audio exchange. FHW and BHW have signal path for 32 channels each time-division-multiplexed, either 8, 16 or 32 channels have composition which

を行うデジタル交換機の一部を構成している。FHWとBHWは、それぞれ時分割多重化された32チャネル分の信号路を有し、ポート1～4のそれぞれに、8, 16または32チャネルのいずれかが制御が可能なトランク・SLIC等の回路がどこにでも実装可能な構成になっている。

[0009]

ここで、それぞれのトランク・SLIC等の回路は、TSWからの各種タイミング情報を受信し、FHWに対して、自己の制御するチャネルにデータを乗せ込むと共に、自己の制御しないチャネルのタイミングでは、FHWに対してハイインピーダンス（オープンに近い）状態として、他の回路がそのチャネルを使用できるようにする。また、BHWは、TSW側が常に全チャネルに対してデータを流しているため、トランク・SLIC等の回路側はただ受信するのみとなる。

[0010]

実施形態1

図1は本発明の実施形態1に係るFHW, BHWの信号構成及び接続を示す図である。図1の(a)に示されるように、FHWに乗せる信号には、1フレー

circuits, such as trunk *SLIC whose control is possible, can mount anywhere at each of port 1-4.

[0009]

Here, circuits, such as each trunk *SLIC, receive various timing information from TSW, while putting data on channel which self controls to FHW, to timing of channel which self does not control, other circuit can use the channel as a high impedance (openly near) state to FHW.

Moreover, since, as for BHW, TSW side always pours data to all channels, circuits side, such as trunk *SLIC, is merely receiving.

[0010]

Embodiment 1

FIG. 1 is figure showing signal composition and connection of this invention of FHW and BHW based on Embodiment 1.

As shown in (a) of FIG. 1, 32 channels from channel 1 (it is described as CH1) to CH32 are

ム内にチャネル1（CH1と記す）からCH3.2までの32チャネル分が含まれており、各チャネル内にはbit1～bit8の8ビットが含まれている。図3のポート1～4は、そのポートに実装したトランク・SLIC等の回路が自己の制御するチャネルに対して、図1の(a)のCH1-bit1～bit8のようにデータをFHWに乗せ込んでいる。TSWは、このFHWに乗せられたデータを所定のTSWデータ取り込みポイント（図1の(a)の矢印で示す1ビットデータ周期を2等分した真中の時刻）に取り込んでいく。

【0011】

本実施形態1においては、前記のようにポート1の局線トランクの各チャネルの音声信号に加工を行うアダプタ回路（音声レベル補正・エコー消去回路等）をポート2に実装し、ポート1の各チャネルとポート2の各チャネルとの対応関係を固定してそれぞれ接続を行うために、次の処理を行う。まずポート1の局線トランクが制御するFHWのチャネル分の全てのbit（例えば図1の(a) CH1-bit1）についての1ビットデータ周期を従来の6／8周期に短縮し、次に新規に追加した

contained in signal put on FHW in one frame, 8 bits of bit1-bit8 are contained in each channel. Circuits, such as trunk *SLIC which mounted port 1-4 of FIG. 3 in the port, put data on FHW like CH1-bit1-bit8 of (a) of FIG. 1 to channel which self controls.

TSW receives data put on this FHW into prescribed TSW data-taking lump point (time of middle which divided into 2 equal parts 1 bit-data period shown by arrow head of (a) of FIG. 1).

[0011]

In this Embodiment 1, adapter circuits (voice level-adjusting * echo suppression circuit etc.) which carry out process to audio signal of each channel of central office line trunk of port 1 as mentioned above are mounted in port 2, the next processing is performed, in order to fix correspondence of each channel of port 1, and each channel of port 2 and to each make connection.

One bit-data period about all bit(s) for channel of FHW which central office line trunk of port 1 controls first (for example, (a)CH1-bit1 of FIG. 1) is shortened to 6/8 conventional period, next, bit S_{m-n}, R_{m-n} for data send and receive with adapter circuit to add anew
(However, by m= 1-32 and n= 1-8, adapter

いアダプタ回路とのデータ送受
信用ビット S_{m-n} , R_{m-n} (但し
 $m = 1 \sim 32$, $n = 1 \sim 8$ で、
ポート 1 の局線トランク発信 /
ポート 2 のアダプタ着信ビット
を S、その逆を R とした) につ
いては、その 1 ビットデータ周
期を従来の $1/8$ 周期として用
意し、これを前記従来データを
 $6/8$ 周期に短縮したことによ
り生じた $2/8$ 周期のタイミング
に新規データを挿入する (図
1 の (a) の CH1-bit1' の後段に S_{1-1} , R_{1-1} が挿入さ
れていることを参照)。また従来
の信号 CH1-bit1' はポート側が
発信で TSW が着信となる。なお上記タイミング例に
おいて、CH1-bit1' のデータの後段に S_{1-1} , R_{1-1} ビット
を挿入させたのは、TSW が
従来の CH1-bit1' のデータを取
込むタイミング領域を
確保すると共に、それ以外のタ
イミングに新規の S_{1-1} , R_{1-1}
ビットを挿入するためである。

[0012]

図 1 の (b) の接続動作を説明
する。外部 (回線側) から矢印
A の流れで局線トランクへ入った
音声は、ここでデジタル化さ
れ、局線トランク内の別回線の
音声と時分割多重化される。そ
して新規に追加するデータは、
FWH の各チャネルと対応づけ

receiving-call bit of central-office-line-trunk transmission / port 2 of port 1 was set to S, and the contrary was set to R)

1 bit-data period is prepared as conventional 1/8 period, new data are inserted in timing of 2/8 period which produced this by said formerly having shortened data to 6/8 period.

(see that S_{1-1}, R_{1-1} is inserted in post stage of CH1-bit1' of (a) of FIG. 1).

Moreover, as for conventional signal CH1-bit1', in port side, TSW constitutes receiving call by transmission.

In addition, in the above-mentioned example of timing, in post stage of data of CH1-bit1', S_{1-1}, R_{1-1} bit was inserted, while TSW secures timing region which receives data of conventional CH1-bit1', it is for inserting new S_{1-1}, R_{1-1} bit in the other timing.

[0012]

Connection action of (b) of FIG. 1 is demonstrated.

Sound which went into central office line trunk by flow of arrow head A from exterior (circuit side) is digitized here, it time-division-multiplexes with sound of other circuit in central office line trunk.

And data added anew are matched with each

られ、前記説明のように従来の $1/8$ の周期として矢印Bの流れで $S_{1,1}, S_{1,2} \dots$ のようにFHWの各チャネルに挿入していく。それをアダプタ回路側で、矢印Cの流れでその $S_{1,1}, S_{1,2} \dots$ を各チャネルに対応したデータとして取り込み、通常の周期に戻し、レベル補正等の処理を施した後、正規のFHWのデータとして、矢印Dの流れでFHWの該当チャネルに乗せ込む。この時、各bitのデータは、CH1-bit1'のように通常周期の $3/4$ の周期となるが、TSWではデータ取り込みポイントを満足しているので問題なくデータを取り込むことができる。

[0013]

次に、局線トランクから見た通話相手からの音声は、BHWを通じて、矢印Eの流れで該当チャネルよりアダプタ回路に取り込まれ、音声レベル補正・エコー消去等の処理を施した後、同様に $1/8$ 周期にして、矢印Fの流れで $R_{1,1}, R_{1,2} \dots$ のようにFHWの各チャネルに挿入していく。それを矢印Gの流れで局線トランク側で各チャネルに対応したデータとして取り込み、通常の周期に戻し、矢印Hの流れで外部（回線側）へ出していく。このように、1チャネ

channel of FHW, by flow of arrow head B as a period of conventional $1/8$ like said explanation, like $S_{1,1}, S_{1,2} \dots$

It inserts in each channel of FHW.

It is adapter circuit side about it, the $S_{1,1}, S_{1,2} \dots$ is received as data corresponding to each channel by flow of arrow head C, it returns to usual period, after performing processing of level adjusting etc., it puts on applicable channel of FHW by flow of arrow head D as data of FHW of normal.

At this point, each data of bit ordinarily constitutes three fourths of periods of period like CH1-bit1'.

However, since it is satisfied with TSW of data-taking lump point, data can be received satisfactory.

[0013]

Next, sound from party on the other end of the line who saw from central office line trunk leads BHW, it receives into adapter circuit from applicable channel by flow of arrow head E, after performing processing of voice level-adjusting * echo elimination etc., it is similarly made $1/8$ period, it inserts in each channel of FHW like $R_{1,1}, R_{1,2} \dots$ by flow of arrow head F.

It is received as data corresponding to each channel by central-office-line-trunk side by flow of arrow head G, and it returns to usual period, it takes out with flow of arrow head H to exterior (circuit side).

Thus

ルの各 bit データ毎に、アダプタ回路とのデータ送受信用 bit S_{1,1}, R_{1,1}…等を用意することで、ポート 1 の局線トランクとポート 2 のアダプタ回路との各チャネルの対応関係を固定した接続を可能とする。

Every bit data of one channel, it is preparing bitS_{1,1},R_{1,1}... for data send and receive with adapter circuit etc., it can be made to perform connection which fixed correspondence of each channel of central office line trunk of port 1, and adapter circuit of port 2.

[0014]

以上のように本実施形態 1 によれば、FHW の各チャネルの各 bit データ内に S_{1,1}, R_{1,1}, … のような、トランク・SLIC 等の回路とアダプタ回路との間のデータ送受信用 bit を用意することにより、交換ソフトの介在無しに（ソフトがアダプタ回路を意識することなく）、チャネルの目減りもなく、さらに、接続用の別線を用意する事もなく、既存の信号線を使用することで、アダプタ回路の交換機内蔵が容易に可能になる。

[0014]

According to this Embodiment 1 as mentioned above

It is like S_{1,1},R_{1,1}... in each bit data of each channel of FHW.

Bit for data send and receive between circuits, such as trunk *SLIC, and adapter circuit is prepared, built-in of exchange of adapter circuit comes be easily made by using existing signal wire, without there being also no reduction of channel and preparing other line further for connection without interposition of exchange soft(ware) (without soft(ware) being conscious of adapter circuit).

[0015]

実施形態 2

図 2 は本発明の実施形態 2 に係る FHW, BHW の信号構成及び接続を示す図である。本実施形態 2においては、図 3 の構成において、あらかじめ TSW とトランク・SLIC 等の回路との間の FHW 及び BHW の送受信インターフェースを図 2 の (a) に示すように、実際のデータ送受信を従来の 2 倍の速度で行

[0015]

Embodiment 2

FIG. 2 is figure showing signal composition and connection of this invention of FHW and BHW based on Embodiment 2.

In this Embodiment 2, it sets in composition of FIG. 3, actual data send and receive is beforehand performed for transmission-and-reception interface of FHW and BHW between TSW and circuits, such as trunk *SLIC, at the rate of conventional double as shown in (a) of FIG. 2, and let 1/2 period of

い、1チャネルの1／2周期を従来の送受信用データ領域とし、残りの1／2周期（図2の(a)の1チャネルデータのハッチング部分として示される領域で、bit1'～bit8'の8ビット分のデータ領域である）をポート（トランク・SLIC等の回路の実装ポート）間あるいは、TSWと各ポート間の送受信用データ領域として確保する。

[0016]

図2の(b)の接続動作を説明する。矢印Aの流れで外部（回線側）から局線トランクに入った音声は、ここでデジタル時分割多重化される。そして新規に追加されるデータは、FHWの各チャネルと対応づけられ、前記説明のように1／2周期に短縮され矢印Bの流れでFHWの新信号送出ビット（ハッチング部のbit1'～bit8'）に乗せる。このFHWに乗せられた新信号ビットbit1'～bit8'は矢印Cの流れでアダプタ回路に取り込まれ、このアダプタ回路で加工（音声レベル補正・エコー消去等）された信号が矢印Dの流れでFHWの従来信号送出ビット（白地部のbit1～bit8）としてTSWに送られる。

one channel be conventional data area for send and receive, remaining 1/2 period (in region shown as a hatching part of one-channel data of (a) of FIG. 2, it is data area for 8 bits of bit1'-bit8') is secured as a data area for send and receive between ports (mounting port of circuits, such as trunk *SLIC), or between TSW and each port.

[0016]

Connection action of (b) of FIG. 2 is demonstrated.

Digital time-division-multiplexing of the sound which went into central office line trunk from exterior (circuit side) by flow of arrow head A is carried out here.

And data added anew, each channel and response of FHW, 1/2 period is shortened like said explanation and it puts on new signal sending-out bit (bit1'-bit8' of hatching part) of FHW by flow of arrow head B.

New signal bit bit1'-bit8' put on this FHW is received into adapter circuit by flow of arrow head C, signals (voice level-adjusting * echo elimination etc.) processed in this adapter circuit are sent to TSW by flow of arrow head D as a conventional signal sending-out bit of FHW (bit1-bit8 of white part).

[0017]

またBHWの従来信号（白地部のbit1～bit8）をTSWより矢印Eの流れでアダプタ回路が受信し、ここで加工された信号が矢印F, Gの流れでBHWの新信号送出ビット（ハッチング部のbit1'～bit8'）として局線トランクに入る。そして局線トランクから従来信号として矢印Hの流れで回線側へ送出される。このようにして新信号のポート間の信号受け渡しが行われる。また図2の(b)で矢印D, Eの信号を考えなければ、TSWとポート間または各ポート間の新信号送受信領域としてFHW, BHWのハッチング部が使用できる。

[0018]

本実施形態2によれば、実施形態1のように単にアダプタ回路と局線トランク回路との接続を可能とするだけでなく、新機能追加時等において、ポート間（トランク・SLIC等の回路間）あるいは、ポートとTSW間（トランク・SLIC等の回路とTSW間）での新信号の送受信が容易に行える。

[0019]

【発明の効果】

以上のように本発明によれば、

[0017]

Moreover, adapter circuit receives conventional signal (bit1-bit8 of white part) of BHW by flow of arrow head E from TSW, signal processed here goes into central office line trunk by flow of arrow heads F and G as a new signal sending-out bit (bit1'-bit8' of hatching part) of BHW.

And formerly it is sent out by flow of arrow head H as a signal from central office line trunk to circuit side.

Thus, signal delivery between ports of new signal is performed.

Moreover, if signal of arrow heads D and E are not considered in (b) of FIG. 2, hatching part of FHW and BHW can be used as new signal transmission-and-reception region between TSW and port or between each port.

[0018]

It can not only be made to perform connection between adapter circuit and central-office-line-trunk circuit like Embodiment 1, but according to this Embodiment 2, it sets at the time of new feature addition etc., send and receive of new signal between ports (between circuits, such as trunk *SLIC) or between port and TSW (between circuits, such as trunk *SLIC, and TSW) can be performed easily.

[0019]

[ADVANTAGE OF THE INVENTION]

When adding new signal to circuit system circuit

時分割スイッチと同一ハイウェイを介して接続される固定的に割り付けられた回線系回路インターフェースに新規信号を追加する場合に、前記時分割スイッチが従来の信号を受信できる範囲内において従来の信号のビット周期を通常周期より短縮し、この短縮により通常周期内に生じた余裕時間に新規信号の送受信用ビットデータを挿入することにより、前記時分割スイッチを介さず前記同一ハイウェイを用いて回線系回路インターフェース間の新規信号の送受信を可能とするようにしたので、時分割スイッチを経由する場合に要する交換ソフト処理を追加する必要がなく、また新たな接続信号線を追加することもなく、既存の信号線（即ち回線系回路が自己のコントロールにより時分割スイッチに信号を乗せられる信号線）を用いて、回線系回路間の新規信号の送受信が可能となる。

【図面の簡単な説明】

【図1】

本発明の実施形態1に係るFHW, BHWの信号構成及び接続を示す図である。

【図2】

interface which is connected through the same highway as time division switch and which was assigned fixed as mentioned above according to this invention, said time division switch ordinarily shortens bit period of conventional signal from period within range which can receive conventional signal, bit data for send and receive of new signal are inserted in surplus time ordinarily produced in period by this shortening, since it was made to be made to perform send and receive of new signal during circuit system circuit interface using said same highway without said time division switch, it is not necessary to add exchange soft processing required when it goes via time division switch, moreover, send and receive of new signal between circuit system circuits is attained using existing signal wire (Namely, signal wire on which circuit system circuit can put signal on time division switch by self control.), without adding new connection signal wire.

[BRIEF DESCRIPTION OF THE DRAWINGS]

[FIG. 1]

It is figure showing signal composition and connection of this invention of FHW and BHW based on Embodiment 1.

[FIG. 2]

本発明の実施形態2に係るFHW, BHWの信号構成及び接続を示す図である。

【図 3】

TSWと回線系回路インターフェースとの同一ハイウェイを介した接続を示す図である。

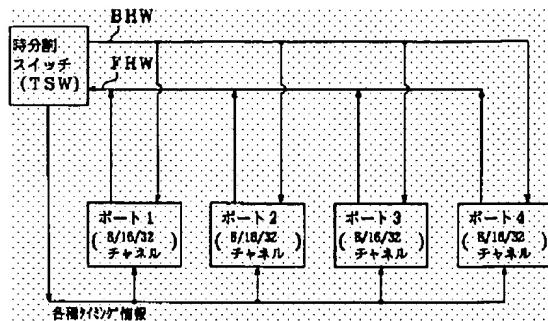
【図 3】

It is figure showing signal composition and connection of this invention of FHW and BHW based on Embodiment 2.

[FIG. 3]

It is figure showing connection through the same highway of TSW and circuit system circuit interface.

[FIG. 3]



TSWと回線系回路インターフェースとの同一ハイウェイを介した接続を示す図

Time-division switch

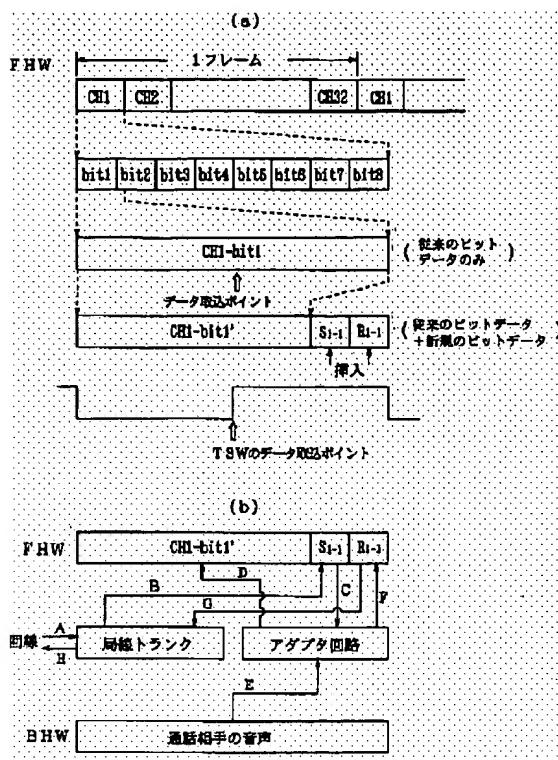
Port 1 (channel) - port 4 (channel)

Various timing information

Figure showing connection through the same expressway of TSW and circuit system circuit interface

【図 1】

[FIG. 1]



本発明の実施形態1に係るFHW, BHWの信号構成及び接続を示す図

(a)

One frame

(Only conventional bit data)



Data taking-in point

(Conventional bit-data + new bit data)



Insertion

Data-taking lump point of TSW

(b)

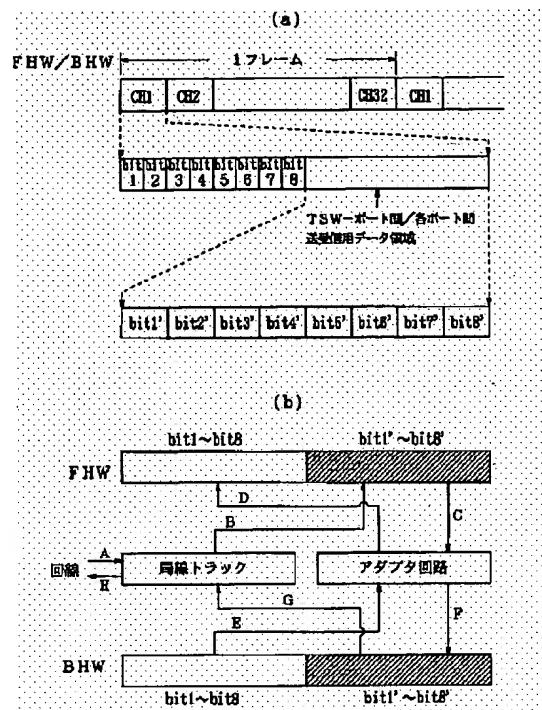
Circuit Central office line trunk Adapter circuit

Sound of party on the other end of the line

Figure showing signal composition and connection of this invention of FHW and BHW based on Embodiment 1

【図 2】

[FIG. 2]



本発明の実施形態 2 に係る FHW, BHW の信号構成及び接続を示す図

(a)

One frame

Between TSW-port / each data area for send and receive between ports

(b)

Circuit Branch-line track Adapter circuit

Figure showing signal composition and connection of this invention of FHW and BHW based on Embodiment 2

DERWENT TERMS AND CONDITIONS

Derwent shall not in any circumstances be liable or responsible for the completeness or accuracy of any Derwent translation and will not be liable for any direct, indirect, consequential or economic loss or loss of profit resulting directly or indirectly from the use of any translation by any customer.

Derwent Information Ltd. is part of The Thomson Corporation

Please visit our home page:

"WWW.DERWENT.CO.UK" (English)

"WWW.DERWENT.CO.JP" (Japanese)